

1번 문제

1. 문제 분야 : 회로·설계·시스템

2. 문제명 : RISC-V 기반 SoC의 도메인 특화 명령어 확장(Custom Instruction) 설계 및 검증

3. 문제 내용

- 문제 관련 배경설명 : 개방형 ISA인 RISC-V는 Custom Opcode 공간을 표준적으로 제공하여 특정 응용에 최적화된 명령어를 자유롭게 추가할 수 있으며, 다수의 오픈소스 코어가 공개되어 있어 명령어 확장 연구에 적합합니다. 도메인 특화 아키텍처(DSA)의 시대에는 워크로드 분석 → 병목 도출 → 명령어/하드웨어 확장 → 정량 검증으로 이어지는 설계 사이클 역량이 중요합니다. RISC-V 명령어 확장 기술을 이해하고, 이를 기반으로 특정 워크로드의 성능을 개선하는 설계를 수행하시오.
- Step1 : RISC-V ISA의 구조와 표준 확장(M/A/F/D/C/V, Crypto 등) 및 Custom Extension 메커니즘을 study하고, 명령어 확장이 성능/면적/전력에 미치는 영향을 종합적으로 기술하시오.
- Step2 : 대상 워크로드 1종 이상(예: 암호화, 신호처리(FFT/FIR), 경량 신경망 추론, 영상처리 등)을 선정하여 프로파일링을 통해 병목 구간(Hotspot)을 분석하고, 유사한 기존 명령어 확장 사례를 조사하여 상세히 설명하시오.
- Step3 : 병목 개선을 위한 Custom Instruction을 정의하고 오픈소스 RISC-V 코어에 실제 구현(RTL 수정 및 컴파일러 Intrinsic/어셈블리 활용)한 후, 시뮬레이션으로 성능 개선율과 하드웨어 오버헤드(면적, Critical Path 영향)를 정량 평가하시오.

4. 산출물 : 결과보고서(RTL, 테스트 코드, 시뮬레이션 결과는 별도 제출)

- Baseline 대비 사이클 수/실행 시간 개선율과 추가 하드웨어 오버헤드 분석을 포함하시오.

5. 문제 부연내용

- 오픈소스 코어 예시: PicoRV32, Ibex, CV32E40P, Rocket 등 (자유 선택, github에서 코드 및 테스트벤치 활용 필요)
- FPGA 구현은 선택 사항이며, RTL 시뮬레이션 기반 평가만으로 충분합니다. 대학별 보유 장비 차이가 평가에 영향을 주지 않도록 시뮬레이션 결과 중심으로 작성하기 바랍니다.

2번 문제

1. 문제 분야 : 회로·설계·시스템

2. 문제명 : 다중 Clock Domain SoC의 CDC 구조 개선 및 Verification Closure

3. 문제 내용

- 문제 관련 배경설명 : SoC에는 CPU clock, peripheral clock, memory clock, always-on clock, test clock 등 여러 clock domain이 존재합니다. Single-bit synchronizer만으로는 multi-bit data, pulse, reset, handshake, asynchronous FIFO crossing을 모두 안전하게 처리할 수 없으며, CDC 오류는 simulation에서 잘 재현되지 않고 silicon bring-up 이후 간헐적 불량으로 나타날 수 있습니다. CDC 설계 및 검증의 개선 방안을 제시하시오.
- Step1 : SoC 내 clock domain을 5개 이상 가정하고 single-bit control, pulse, multi-bit bus, FIFO, reset crossing, scan/test crossing별 위험 요인을 정리하시오.
- Step2 : 각 CDC 유형에 적합한 synchronizer, handshake, gray-code counter, asynchronous FIFO, reset synchronizer 구조를 설계하고 선택 기준을 제시하시오.
- Step3 : 정적 CDC 분석, formal property, SVA assertion, metastability MTBF 계산, waiver 관리 절차를 포함한 CDC verification closure flow를 제안하시오.
- Step4 : 기존 ad-hoc CDC 설계 대비 bug 검출률, latency, area, verification effort가 어떻게 개선되는지 정량 또는 반정량 근거를 제시하시오.

4. 산출물 : 결과보고서(CDC 구조별 block diagram, crossing inventory 표, SVA/formal property 예시, CDC waiver 기준, 개선 전후 검증 결과 또는 시뮬레이션 결과 포함)

5. 문제 부연내용

- CDC tool 결과 화면 제출이 필수는 아니며, 공개 RTL 예제 또는 자체 작성 RTL로 검증 가능. 단, '2-flop synchronizer 사용' 수준의 단편 답변은 불충분하며 crossing 유형별 설계 선택 근거가 필요합니다.

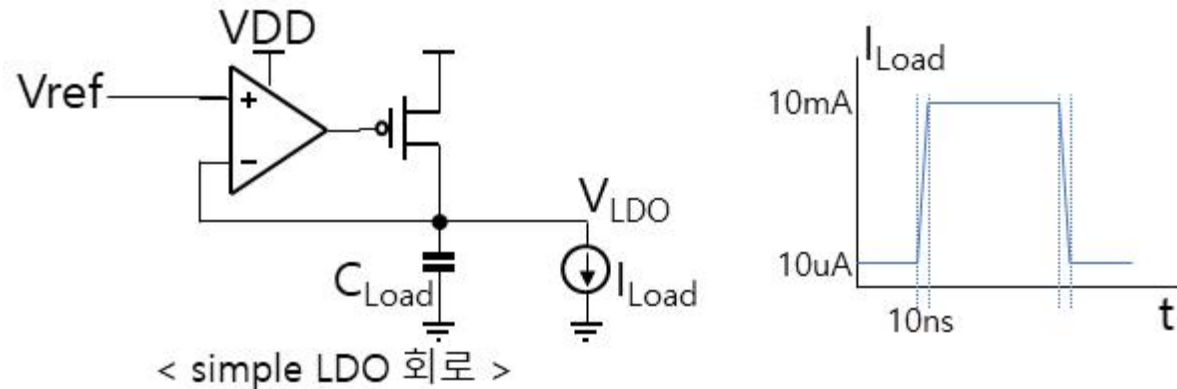
3번 문제

1. 문제 분야 : 회로·설계·시스템

2. 문제명 : LDO 회로 설계

3. 문제 내용

- 문제 관련 배경설명 : Low Power 와 Noise 없는 깨끗한 전원 공급을 위해 LDO (Low Drop Out)를 사용하는 경우가 많습니다. 아래 그림은 simple 하고 basic 한 LDO 회로 그림이며, 특성 개선을 위한 여러 연구(참고 자료)가 진행되고 있습니다.



- Step1 : LDO 특성 개선을 위한 설계적인 개선 아이디어를 제시하고, 제시한 아이디어 회로의 특성 지표를 비교하시오. (다음 예는 일부만 나열한 것입니다, ex. I-Load-Range / Fast-Droop-Recover / LDO-소모-current / V-over&under-shoot/ PSR / Target-Level-Offset / Vin&Vout.... 등)
- Step2 : 추가로, 제시한 아이디어가 특별히 장점이 있는 차별화된 특성을 제시하시오.

4. 산출물 : 결과보고서

- simple LDO 회로 vs. 기존 연구된 LD(논문 참조) vs. 신규 LDO를 구성하고, 신규(vs. simple & 기존 LDO 대비) 아이디어의 장점(이론적 배경 + simulation 재현)을 결과로 제시하시오(기준 조건은 $C_{load} = 0.1\text{uF}$, $V_{DD} = 1.2\text{V}$, $V_{ref} = 1.0\text{V}$).
- 제시한 아이디어가 특별히 장점이 있는 special한 조건을 자유로이 추가하시오.

5. 문제 부연내용

- 풀이 방식 : simple LDO 회로 vs. 기존 연구된 LDO vs. 신규 LDO를 구성하고, 신규 LDO의 차이 및 장점을 이론적 배경과 simulation으로 재현하시오(아이디어의 특성 비교 및 효과가 있는 특성, 장단점 비교).
- 아이디어에 대한 회로 시뮬레이션시, 각 대학에서 보유한 공정 모델 parameter로 사용
- 참고자료
 - A 1nm 14.4Gb/s/pin 16Gb LPDDR6 SDRAM with Efficiency Mode, LDO-Based WCK Tree, Dynamic Write NT-ODT, Fast CS Control and System Meta Mode, (2026,IEEE International Solid-State Circuits Conference)
 - A 4 ns Settling Time FVF-Based Fast LDO Using Bandwidth Extension Techniques for HBM3, (2024, IEEE JOURNAL OF SOLID-STATE CIRCUITS)
 - LDO관련 논문 다수(LDO ieeePapers)

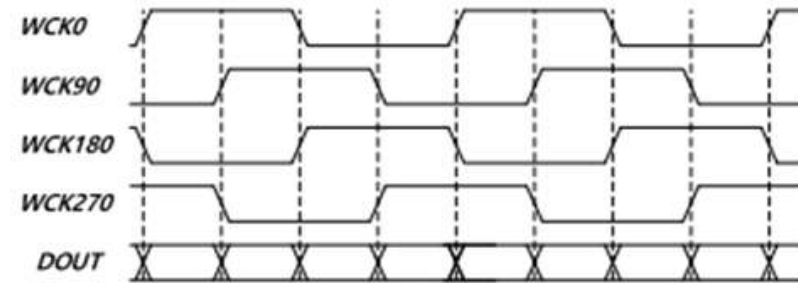
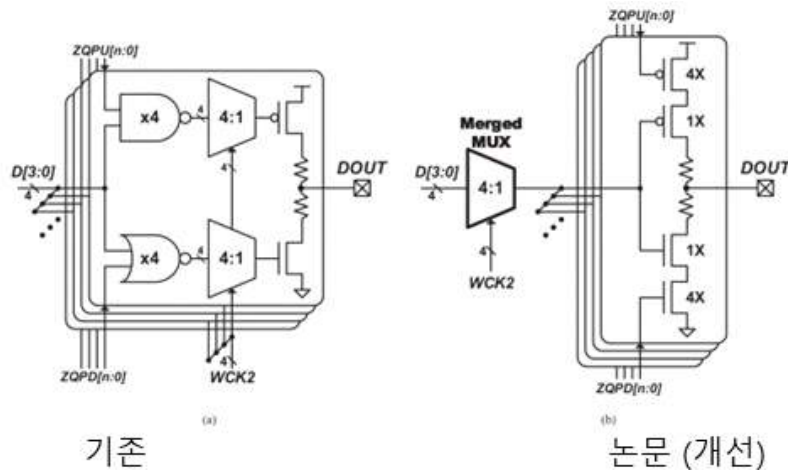
4번 문제

1. 문제 분야 : 회로·설계·시스템

2. 문제명 : DDRMux 회로 설계

3. 문제 내용

- 문제 관련 배경설명 : AI시대에 있어서 DRAM의 IO speed는 매우 중요합니다. 새로운 신제품은 속도를 증가하는데 최우선을 두고 있습니다. 아래 그림은 ISSCC에 발표된 GDDR6 논문 중 output path의 DDRMux의 그림입니다(논문 제목 : A 16-Gb T-Coil-Based GDDR6 DRAM With Merged-MUX TX, Optimized WCK Operation, and Alternative-Data-Bus Achieving 27-Gb/s/Pin in NRZ, JSSC, 2023). 여기는 기존 방식에서 단수를 3단에서 2단으로 줄이면서 speed 특성을 개선한 것입니다 (NAND/NOR – Mux – Output driver → Mux – Output driver). 즉, speed path의 단수 개선과 ODT를 output driver와 결합하여 특성을 개선하였습니다.

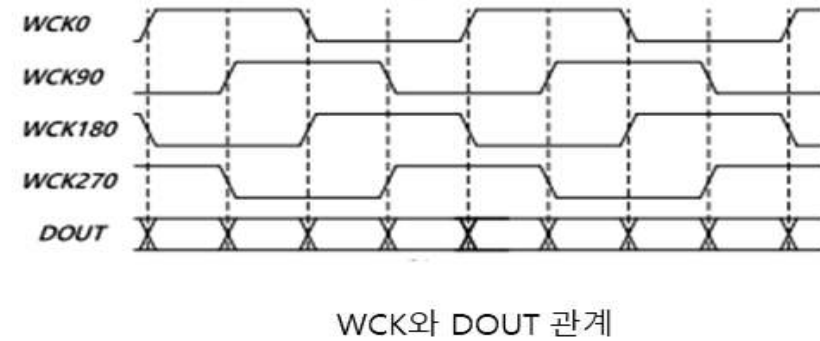
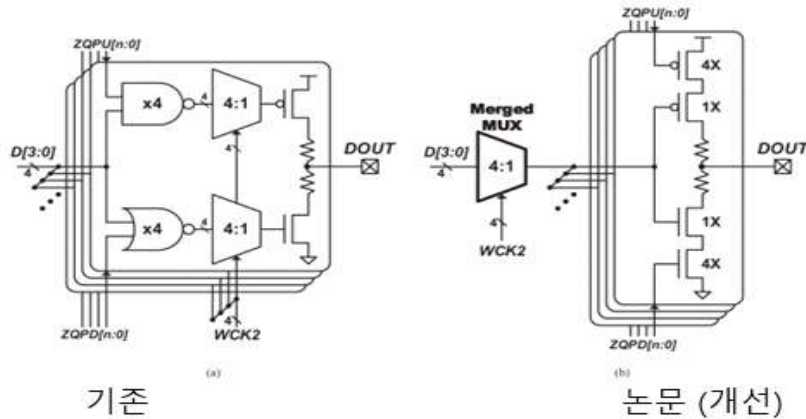


WCK와 DOUT 관계

- Step1 : 이와 비슷한 특성을 가지는 다른 형태의 DDRmux를 구성하고 simulation으로 동작을 검증하시오. (DDRmux로 부르는 경우는 2 phase mux이나, DRAM IO 속도가 높아지면서 4 phase가 사용되기에 QDRMux가 더 정확한 표현입니다.)

4. 산출물 : 결과보고서

- ZQ와 4:1 Mux를 포함하는 새로운 DDRmux회로를 구성하고 simulation으로 재현하여 결과를 제시하시오.



5. 문제 부연내용

- 풀이 방식 : 기존방식과 논문의 방식을 둘 다 simulation으로 재현하여 차이점을 살펴보고, 새로운 구조의 DDRMux를 제시하여 simulation으로 비교하고 장단점을 설명하시오(소개한 논문의 방식을 먼저 구현하여 정확히 동작하는지 제시하고, 새로운 아이디어와 비교하는 것이 필수). 결과는 기존과 다른 구조이면서 어느 부분에 효과가 있는지를 보여주시오(회로 측면의 개선점에 대해서 자세하게 설명 필요).
- 참고자료
 - A Transmitter Equalizer scheme with FFE and internal boost scheme for achieving over 6Gbps in DDR interface(2022 IEEE 16th International Conference on Solid-State & Integrated Circuit Technology (ICSICT))

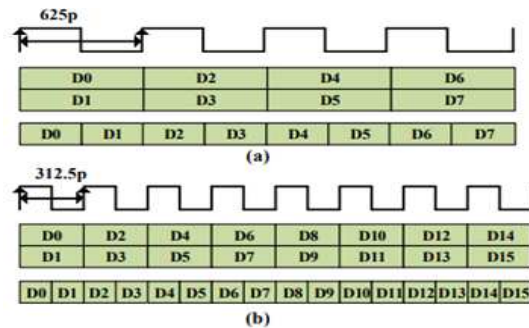
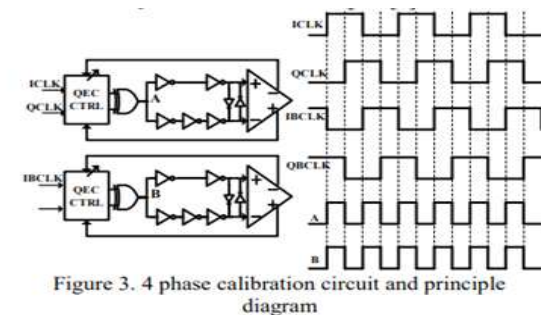
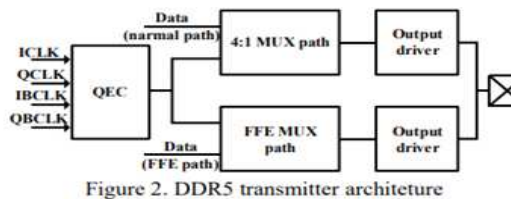


Figure 1. 2:1 final output mux timing diagram (a) speed: 3.2Gbps in DDR4 (b) speed: 6.4Gbps in DDR5



5번 문제

1. 문제 분야 : 회로·설계·시스템

2. 문제명 : Physical AI를 위한 Low Power/Low Latency 이미징 시스템 설계

3. 문제 내용

- 문제 관련 배경설명 : Physical AI에서 Vision Task 처리는 핵심 부분을 차지합니다. 일반적으로 Vision Task 처리는 센서와 ISP처리되어 정규화된 RGB 또는 YUV 입력을 활용하여 진행하게 됩니다. 본 문제를 통하여 센서부터 Downstream Task까지 과정을 분석하고 Physical AI를 위해 PPA 최적화된 Imaging System을 Study합니다.
- Step1 : RGB 카메라에서 광학계, 센서, ISP, Vision Task 시스템 Survey 하시오(성능, Detection Latency, Power 소모 관점).
* 붙임1 참고
- Step2 : Raw (Bayer) 이미지 입력에 대한 Object Detection Network 성능을 평가하고 RGB/YUV 입력 사용시와 비교하시오(복잡도, Latency 포함). * 붙임1 참고
- Step3 : Optical Abberation, 센서 Defect(BPC) 등 광학계와 센서 신호처리부를 고려한 Objection Detection을 검토하시오.
* 붙임1 참고
- Step4 : Physical AI에서 공정 및 PPA를 고려한 Power와 Latency를 위한 최적 센서와 AP 간 구조를 제안 및 분석하시오.
* 붙임2 참고

4. 산출물 : 결과보고서

- 입력에 따른 Object Detection 분석 보고서 및 성능 평가 결과(Simulation 결과, Detection Latency, Power 소모 분석)
- 센서, Lens Model 및 Object Detection Training/Test Codes(in matlab or C or python → Code는 별도 제출)
- 센서/AP 최적 구조 제안 보고서(Detection 성능, PPA 분석 방법론 및 결과)

5. 문제 부연내용

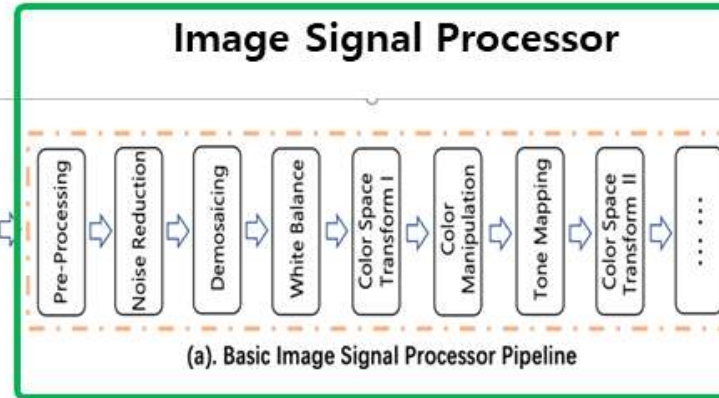
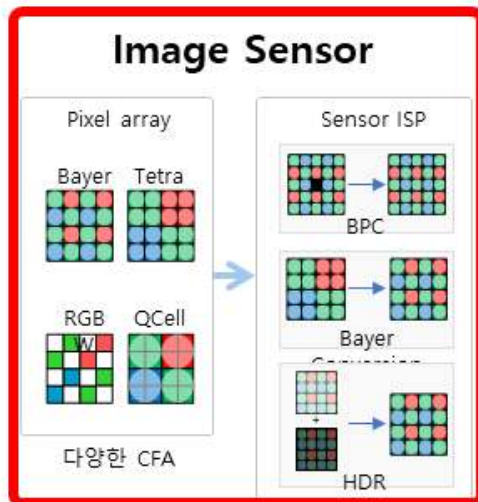
- CFA/광학 Simulation 관련 기본 내용(Bayer, Lens Shading, Defect Model, 예제 <https://www.codabench.org/competitions/8417/>)
- Training 및 평가를 위한 Image DB(RGB Dataset: MS COCO Dataset, <https://cocodataset.org/>,
RAW Dataset: PASCAL RAW, <https://purl.stanford.edu/hq050zr7488>)

블임1 : Image 기반 Object Detection System

- 광학계, 센서, ISP, Processor, Detection 알고리즘으로 이루어짐
- 광학계, 센서 출력 ISP통하여 sRGB 출력되며 이를 기반으로 Object Detection 진행됨
- 문제: Physical AI의 경우 Vision Task에 특화되므로 고속화 저전력화 설계 제안하시오.
(성능, 복잡도 및 Latency 분석)

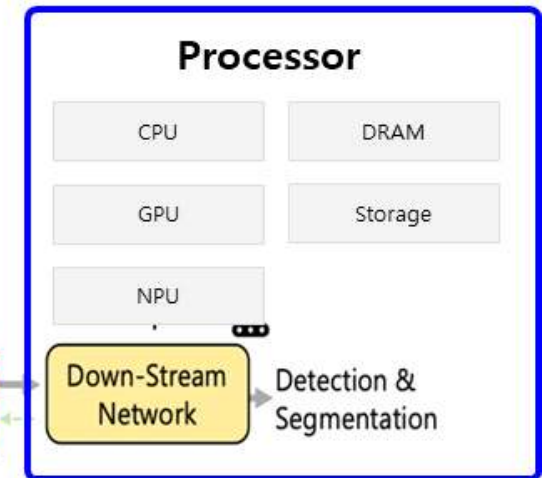
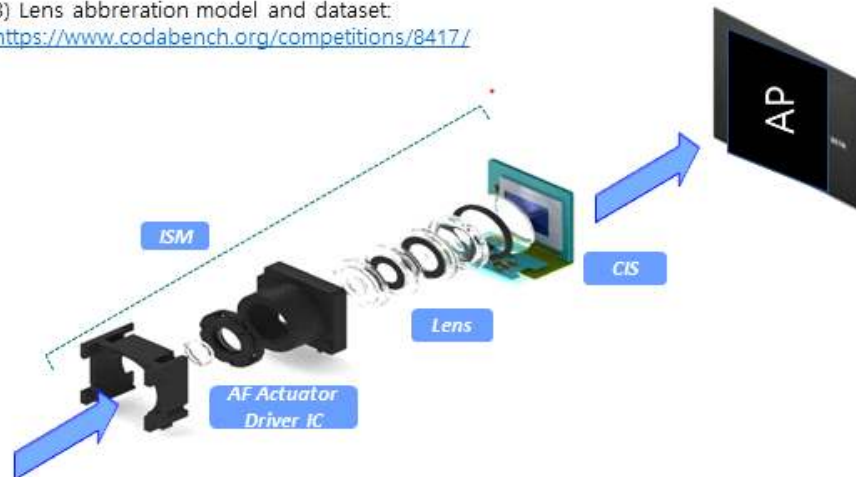
2) Object Detection RAW Dataset: PASCAL RAW

<https://purl.stanford.edu/hq050zr7488>



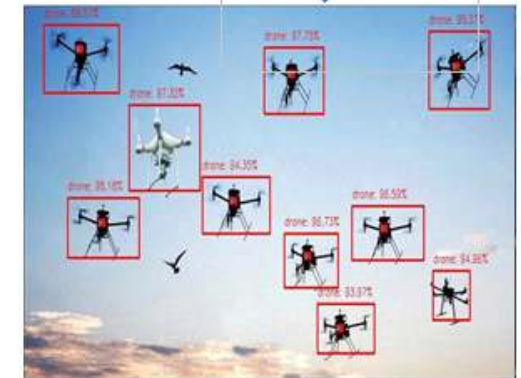
3) Lens aberration model and dataset:

<https://www.codabench.org/competitions/8417/>



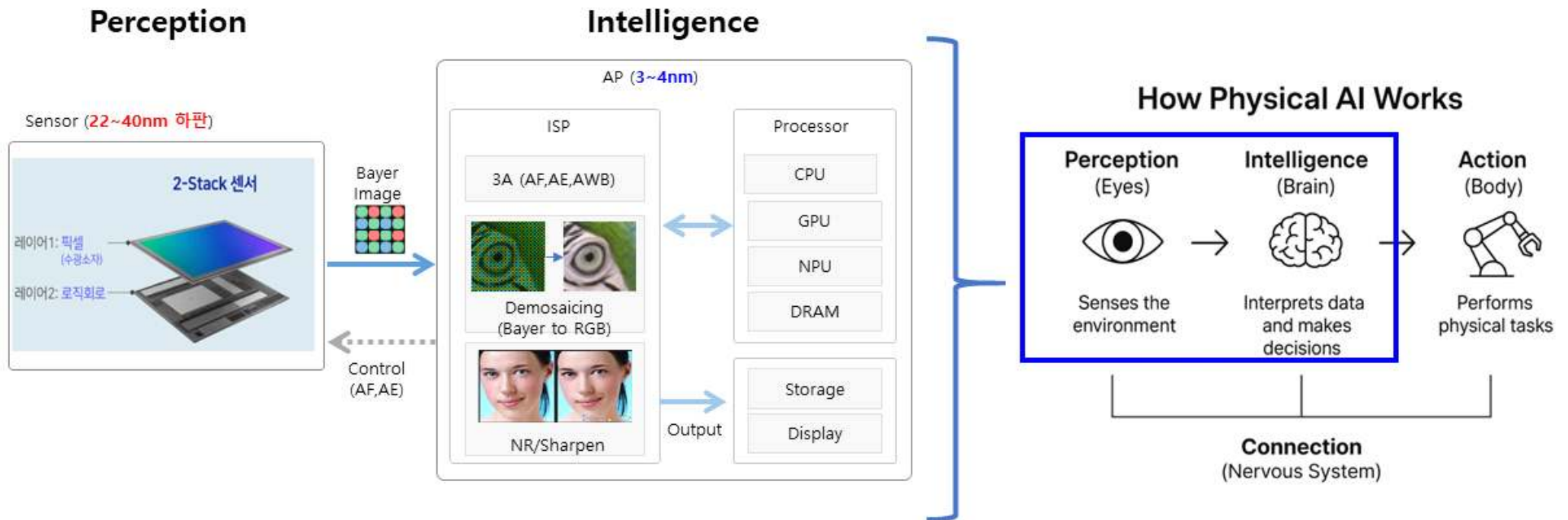
1) RGB Dataset: MS COCO Dataset,

<https://cocodataset.org/>



붙임2 : Physical AI에서 PPA 및 Cost를 고려한 Task Partitions

- 기존 Vision Task Partition은 예는 다음과 같습니다.
 - 센서는 신호처리 (로직회로) 2 Stack 센서 Layer중 Bottom Layer (40nm~22nm 공정 사용) 에 구현됩니다.
 - 선단공정 (2~4nm 사용)하는 AP에서 ISP 및 Downstream Task 진행됩니다.
- 문제: Physical AI환경의 PPA, Cost를 고려하여 센서 신호처리/ISP/Downstream Task Partition 논하시오.



6번 문제

1. 문제 분야 : 회로·설계·시스템

2. 문제명 : PIM

3. 문제 내용

- 문제 관련 배경설명 : AI 시대의 추론을 위한 차세대 메모리로 PIM (Processor-In-Memory)이 제안되고 있습니다. 주로 Memory-bound 연산에 최적화된 연산기(Processor)를 탑재하는 방법, 내부 Memory bandwidth를 높이는 방법, Memory I/O를 줄이는 방법, Memory Controller와의 Interface등의 분야에서 많은 연구가 진행되고 있습니다.
- Step1 : 실제 PIM이 Edge Server/On-device 등에서 제품화 Level로 사용되기 위한 기술적인 장벽/난제를 정의하고, 이를 극복할 수 있는 혁신적인 신기술을 제시하시오.
- Step2 : 특정 소수의 개별적인 Application/Workload 기반의 성능/파워 개선 효과보다는, 일반적인 Server/Edge Device에서도 기존 Memory 역할 뿐만 아니라 다양한 AI workload에서 범용으로 사용 가능한 수준의 혁신적인 아이디어를 제시하고, 그 효과를 증명하시오.

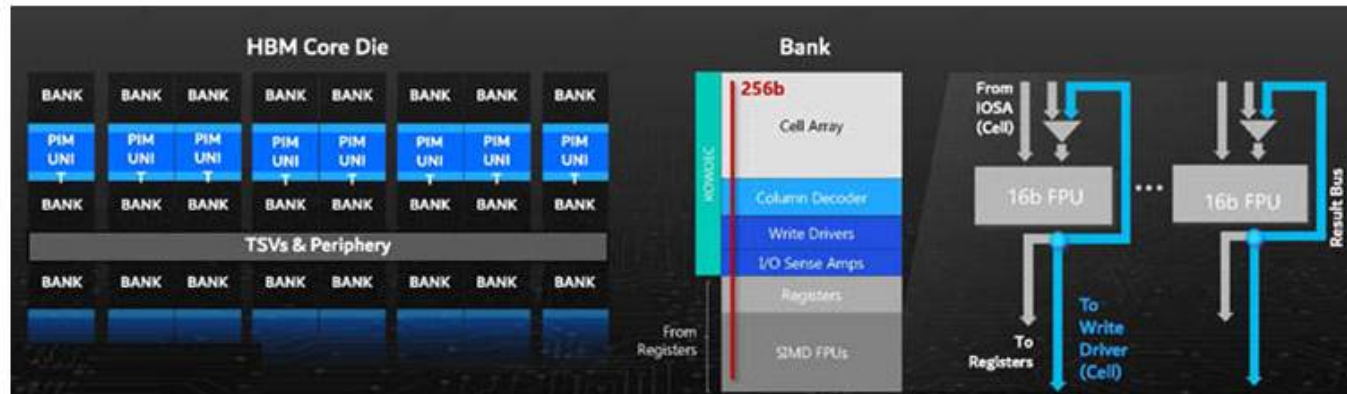
4. 산출물 : 결과보고서

- 신규 메모리 구조 : 아키텍처, 설계 DB, PPA 분석, 모델 등
- 신규 PIM 구조 : 아키텍처, 설계 DB, PPA 분석, 모델 등
- 신규 Memory Controller / Interface 구조 : 아키텍처, 설계 DB, PPA 분석 등
- 개선된 Application / Workload : 실험 / Simulation 결과, 개선된 SW / FW 등

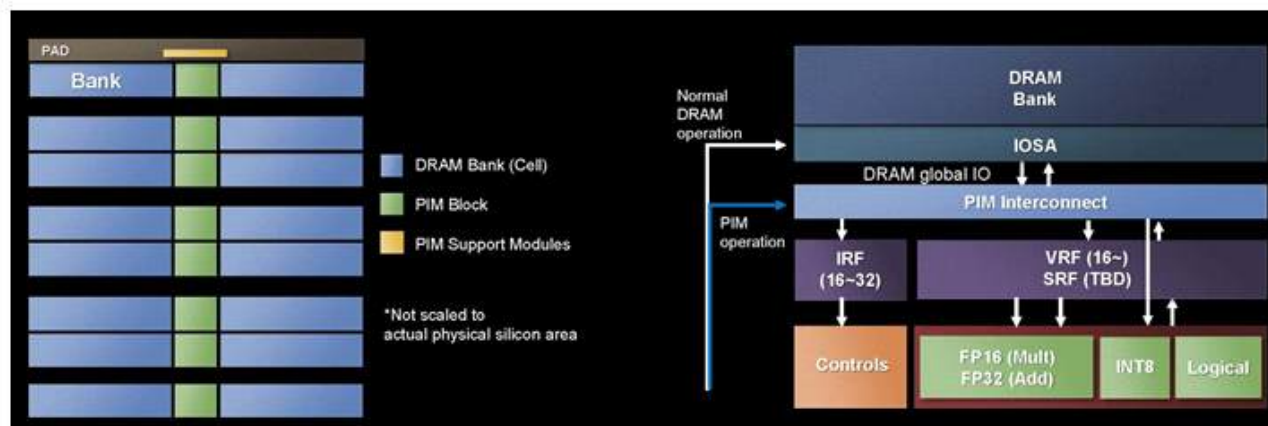
5. 문제 부연내용

PIM 예제

■ HBM-PIM Architecture



■ LPDDR-PIM Architecture



7번 문제

1. 문제 분야 : 소자·공정

2. 문제명 : 고단 3D NAND Cell의 신뢰성, 성능 한계 고찰과 통합 개선 방안

3. 문제 내용

- 문제 관련 배경설명 : 3D NAND는 Cell을 수직으로 적층하여 집적도를 높여 왔고, 적층 수는 300단을 넘어서고 있다. 이 구조는 charge-trap(CTD, CTF) Cell과 vertical poly-Si 채널을 사용 합니다. 이는 2D NAND와 다르게 Channel이 기판과 분리되어 Well(bulk) Erase가 어렵고, 연속된 trap층은 고온에서 전하 손실 경로를 만들고, Program/Eread Cycling에 의한 Vt Shift는 심각한 불량을 초래하고 있다. 여기에 TLC·QLC의 좁은 Read 마진과 고단화에 따른 string current 저하 및 구조상의 Word Line RC 증가가 더해진다. 이들 특성은 독립적이지 않아, 하나를 개선하면 다른 하나가 열화되는 경우가 많다. 본 문제는 위 특성들을 소자적 관점에서 분석하고, 상호 trade-off를 고려한 통합적 개선 방향을 제안하는 것을 목적으로 한다.
- 전제조건
 - 셀: charge-trap(CTD, CTF), gate-all-around vertical poly-Si 채널
 - 제품: 300단급, TLC 기본(QLC 확장 포함)
 - Erase: 기판 직접 바이어스 불가, GIDL-assisted erase 전제
 - 열 이력: SMT reflow(peak 약 260 °C) 통과 후 데이터 보존 요구
 - 세부 전기·공정 파라미터 일부는 미제공하며, 필요한 값은 합리적으로 가정하고 명시한다.
- Step1(Erase) : vertical channel에서 bulk Erase가 어려운 이유를 소자물리로 설명하고, GIDL Erase의 hole 생성 및 채널 boosting 메커니즘과 바이어스 조건을 제시하시오. 3D Cell Array를 구성하고, 각 node에 대한 Bias 조건을 Timming 으로 도식화하여 동작을 설명하시오.
- Step2(Retention) : reflow 이후 발생하는 전하 손실 경로를 구분하여 설명하고, 온도, 시간과 Vt shift의 관계를 모델링하시오. 이를 완화할 cell 또는 process 개선안을 제시하시오.

- Step3(Endurance) : P/E cycling에 따른 열화 메커니즘을 program-erase 각각에 대해 설명하고, 고온과 상온에서의 가속 차이를 논하시오. 목표 endurance 확보를 위한 개선안을 우선순위와 함께 제시하시오.
- Step4 (Read) : V_t 분포를 넓히는 인자(program noise, RTN, retention, read disturb, cell-to-cell interference)를 설명하고 read window budget을 정량화하시오. TLC·QLC에서 독출 마진을 확보할 방안을 제시하시오.
- Step5 (Speed) : 고단 적층에서 string current 저하와 Word Line RC delay 증가의 원인을 소자적, 구조적 관점에서 설명하고, Read 속도 및 마진과의 관계를 정량적으로 논하시오. 개선안을 제시하시오.
- Step6 (통합). Step1~5의 개선안은 서로 trade-off 관계에 있다. 이를 함께 고려한 통합 최적화 방향과, 이를 확인하기 위한 검증 방법(test structure, DOE, 판정 기준)을 제시하시오.

4. 산출물 : 결과보고서

5. 문제 부연내용

- 각 항목은 소자물리 또는 공정 기술 관점의 원리적 설명을 포함할 것
- 배점은 개별 항목의 정답보다 Step6의 통합적 분석과 타당성에 비중을 둔다.
- 미제공 파라미터는 가정을 명시하고, 필요 시 공개 문헌을 참고하되 출처를 밝힐 것

8번 문제

1. 문제 분야 : 소자·공정

2. 문제명 : DRAM Wordline Disturbance 신뢰성 한계 극복을 위한 고찰과 개선 방안(Breaking the wordline disturbance barrier)

3. 문제 내용

- 문제 관련 배경설명 : DRAM에서 Wordline Disturbance는 특정 Row를 반복적으로 활성화(Activate)할 때 인접한 Row의 Bit Flip 현상을 의미합니다. 이는 메모리 보안 및 신뢰성에 심각한 위협이 됩니다. 특히 상기 문제는 DRAM 셀의 구조적 문제이므로 소자 및 공정 수준에서의 근본적인 해결책은 매우 중요합니다.
- Step1 : Wordline Disturbance 가 발생하는 원인(메커니즘)을 DRAM 셀 구조(1T1C) 및 동작 원리와 연관 지어 상세하게 설명하시오. 그리고 어떤 요인들이 Wordline Disturbance 민감도에 영향을 미치는지 분석하고, 각 요인이 미치는 영향을 정성적/정량적으로 기술하시오
- Step2 : 공정/소자/구조/물질/소재 중에 1 가지 이상 측면에서 이 hurdle 을 개선할 수 있는 아이디어를 제시하시오.
- Step3 : 개선 방법, 기대 효과, 장단점, 개념, 원리, 핵심 필요 기술, 아이디어 구현 시 Challenge Point 등을 구체적으로 기술하시오.

4. 산출물 : 결과보고서

- 결과보고서에 꼭 포함돼야 하는 항목이나, 수치 등이 있는 경우 기재

5. 문제 부연내용

- 혁신적인 셀 구조/재료 제안이나 새로운 Refresh 기법 그리고 실제 시스템 환경에서 발생할 수 있는 새로운 공격 패턴에 대한 아이디어와 이에 대한 강건성(Robustness)을 확보할 수 있는 2가지 이상 개선 아이디어 제시 시 아이디어 수에 따른 가점 부여

9번 문제

1. 문제 분야 : 소자·공정·소재·장비

2. 문제명 : 초고단 HBM 적층 한계 극복을 위한 Package 및 Interconnect 기술 혁신 방안

3. 문제 내용

- 문제 관련 배경설명 : 최근 생성형 AI와 거대언어모델(LLM) 시장의 폭발적인 성장으로 인해, 초고속·고대역폭 메모리인 HBM(High Bandwidth Memory)의 수요가 급증하고 있습니다. HBM은 TSV(Through Silicon Via) 기술을 활용해 D램 다이(Die)를 수직으로 적층함으로써 데이터 전송 속도를 극대화해 왔습니다. 그러나 HBM3E 및 HBM4 인터페이스로 진입하며 12단을 넘어 16단 이상의 '초고단 적층' 구조가 요구됨에 따라, 기존 마이크로 범프(Micro-bump) 기반의 Flip-chip 접합 기술은 두께 제어(Form Factor 제한)와 열 방출(Thermal Dissipation) 측면에서 심각한 물리적 한계에 직면해 있습니다. 초고단 HBM 제품의 신뢰성과 수율을 보장하기 위한 차세대 인터커넥트 및 패키징 기술 개발은 미래 반도체 산업의 핵심 과제입니다. 이에 현재 HBM 패키징 기술의 한계를 정밀하게 진단하고, 이를 돌파할 수 있는 차세대 기술적 대안을 공학적으로 모색하고자 합니다.
- Step1 : 현재 HBM 제조에 사용되는 '칩 박막화(Thinning) 공정'과 '마이크로 범프 접합(Bump Bonding) 기술'의 메커니즘 및 현황을 설명하시오. 아울러, 16단 이상의 초고단 적층 시 발생하는 물리적·소자학적 난제들을 다음 두 가지 관점에서 나누어 정성적·정량적으로 서술하시오.
- Step2 : 초고단 적층 HBM의 한계 상황(예: 열저항 증가, 두께 한계 등)을 해결하기 위한 창의적인 공학적 해결 아이디어를 제시하시오. 하이브리드 본딩(Hybrid Bonding) 기술 고도화나 신개념 패키징 아키텍처 등 도출 가능한 대안을 소자(Device)/ 구조(Architecture)/ 공정(Process)/ 소재(Material)/ 장비(Equipment) 측면 중 2가지 이상을 융합하여 논리적으로 전개하시오.
- Step3 : 제안한 차세대 패키징 아이디어에 대해 다음의 세부 항목을 포함하여 구체적으로 논증하시오.
 - ① 핵심 원리 및 개선 방법: 제안한 기술이 기존 범프 접합 방식의 한계를 어떻게 물리적·기계적·열적으로 극복하는지 그 원리를 설명
 - ② 구현을 위한 핵심 필요 기술: 해당 아이디어를 실현하기 위해 선행되거나 융합되어야 하는 기반 기술 (예:

초정밀 평탄화 공정(CMP), 화학적 세정 기술 등)

③ 기대 효과 및 장단점 분석: 기술 도입 시 예상되는 이점(성능·대역폭 향상, 두께 감소, 방열 효과 등)과 현실적인 리스크(제조 비용 증가, 신규 불량 모드 발생 가능성 등) 비교

④ 힘 및 공정 적용 시 Challenge Point: 제안한 아이디어를 실제 대량 양산 팹(Fab)에 적용하거나 패키징 라인에 도입할 때 마주할 수 있는 가장 치명적인 걸림돌과 기술적 해결 방향

4. 산출물 : 결과보고서

5. 문제 부연내용

- 창의적인 아이디어 제시 시 가점 부여

10번 문제

1. 문제 분야 : 소자·공정·소재·장비

2. 문제명 : 3D DRAM 생태계 구축을 위한 핵심 기술 및 혁신 방안

3. 문제 내용

- 문제 관련 배경설명 : DRAM(Dynamic Random Access Memory)은 기존 2D 평면 구조에서 지속적인 스케일링(미세화)을 통해 집적도와 동작 성능을 향상시켜 왔습니다. 그러나 sub-10nm 테크노드(Tech Node)에 접어들면서, 캐패시터(Capacitor)의 종횡비(Aspect Ratio) 한계, 셀 간 간섭(Row Hammering) 및 누설 전류 증가 등 소자학적·물리적 한계에 직면하고 있습니다. 이러한 한계를 극복하기 위해 최신 메모리 업계에서는 NAND 플래시의 성공 사례와 유사하게 셀을 수직으로 쌓아 올리는 '3D DRAM'으로의 패러다임 전환을 활발히 시도하고 있습니다. 하지만 3D DRAM 구조는 기존 2D 공정 기술과 완전히 다른 고난이도의 새로운 제조 공정 및 아키텍처 혁신을 요구합니다. 이에 3D DRAM 구현을 가로막는 기술적 장벽을 정의하고, 이를 해결하기 위한 창의적인 아이디어를 공학적으로 논하고자 합니다.
- Step1 : 3D DRAM의 셀 구조 형성 방법을 모식도로 제시하고, 작동 원리와 구조적 특징을 설명하시오. 아울러, 해당 구조를 실제 양산화하기 위해 가장 고난이도가 요구되는 핵심적인 소자 혹은 공정 기술을 3가지 제시하고, 각 기술에서 해결해야 하는 Key Challenge(핵심 난제)가 무엇인지 구체적으로 기술하시오.
- Step2 : 제시한 3가지 핵심 기술 중 '하나'를 선택한 후, 접근 가능한 창의적이고 공학적인 해결 아이디어를 제시하시오. 아이디어 제안 시 소자(Device)/ 구조(Architecture)/ 공정(Process)/ 소재(Material)/ 장비(Equipment) 측면 중 최소 2가지 이상을 융합하여 논리적으로 전개하시오.
- Step3 : 제안한 개선 아이디어에 대해 다음의 세부 항목을 포함하여 구체적으로 논증하시오.
 - ① 동작 및 개선 원리: 제안한 아이디어가 물리적·화학적·전기적으로 어떻게 장벽을 극복하는지 원리 설명
 - ② 핵심 필요 기술: 아이디어를 실현하기 위해 선행되어야 하거나 필요한 기반 기술
 - ③ 기대 효과 및 장단점: 기술 적용 시 예상되는 장점(성능 향상, 수율 개선 등)과 단점(비용 증가, 신뢰성 저하 가능성 등) 비교 분석
 - ④ 구현 시 Challenge Point: 해당 아이디어를 실제 반도체 팹(Fab) 공정에 적용할 때 부딪힐 수 있는 현실적인 걸림돌 및 극복 방안

4. 산출물 : 결과보고서

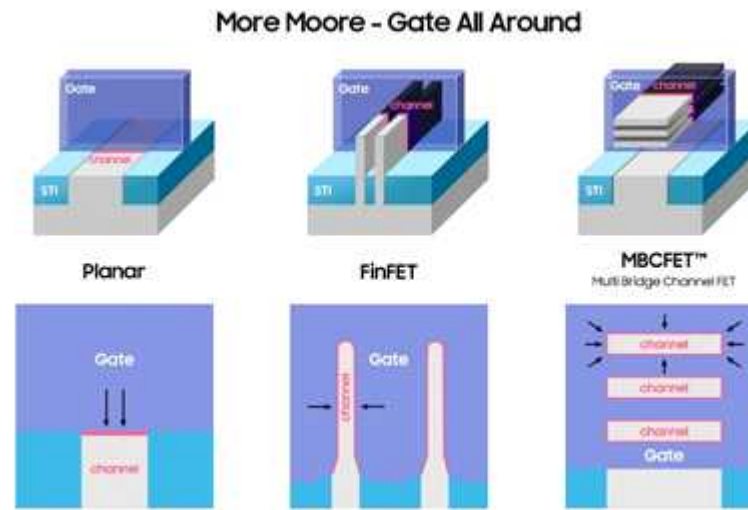
11번 문제

1. 문제 분야 : 소자·공정

2. 문제명 : 3차원 구조 트랜지스터의 '열 방출 및 기생 저항' 문제 해결을 위한 차세대 고성능 소자 구조 제안

3. 문제 내용

- 문제 관련 배경설명 : 반도체 제조 기업들이 개발하는 제품이 수 나노미터 이하 선단 공정으로 진입하면서 단위 면적당 발생하는 열을 제대로 빼주지 못해 소자의 성능이 저하되는 현상과 전류가 들어오고 나가는 길목이 너무 좁아져 발생하는 기생 저항의 폭증이 소자 개발의 중요한 걸림돌이 되고 있습니다. 이제 여러분이 반도체 기업 연구소의 '소자 개발 담당 엔지니어'가 되었다고 가정하고, 고성능 AI 및 데이터센터용 칩에 쓰일 대표적 3D 트랜지스터인 FinFET과 GAAFET(MBCFET)이 직면한 '열과 저항'이라는 두 가지 걸림돌을 이해하고, 이를 해결할 수 있는 가장 현실적이고 창의적인 '소자 구조'를 이론적인 근거와 함께 제안해 주시기 바랍니다.



(출처) <https://semiconductor.samsung.com/news-events/tech-blog/3nm-gaa-mbcfet-unrivaled-sram-design-flexibility/>

- Step1 : 소자 개발의 아래 두 가지 현실적 문제들에 대해, 학습하고 연구한 지식을 바탕으로 이론적 배경과 근거에 기반하여 설명하시오.
 - 1-1) 3차원 입체 구조 트랜지스터 **Self-Heating**의 이론적 원인과 문제점 파악
 3차원 입체 구조 트랜지스터인 FinFET과 GAAFET으로 발전하면서 공중에 떠 있거나 수직으로 밀집된 구조로 변하여, 동작 시 발생하는 열이 하부 기판(Substrate)으로 빠져나가지 못하고 갇히게 되는 Self-Heating 문제가 발생하게 됩니다. 이로 인해 FinFET 과 MBCFET 소자의 특성 저하 및 수명 단축이 발생하는 매커니즘을 이론적 근거를 기반으로 비교하여 설명하고 제품(chip) 차원의 문제점들은 어떻게 나타나는지 기술하시오.
 - 1-2) 3차원 입체 구조 트랜지스터의 미세화에 따른 **기생 저항** (Parasitic Resistance) 증가의 이론적 원인과 문제점 파악
 급격한 소자 미세화로 인해 소스/드레인에서 contact이 junction과 만나는 '접촉 면적'이 극도로 작아지고 있습니다. 이로 인해 contact 저항을 포함한 기생 저항이 급증하여 소자의 성능 개선에 큰 장애물이 되고 있습니다. Gate All Around FET(GAAFET) 소자 구조인 MBCFET에서 기생 저항의 세부 구성 항목, 증가 원인 및 메커니즘을 이론적 근거를 기반으로 기술하시오(3 stack nanosheet 구조를 가정하세요).
- Step2 : [Step 1]을 통해 팀원들이 잘 이해하게 된 '열 방출' 항목과 '기생 저항' 문제를 동시에 해결하여, 실제 반도체 기업이 양산 제품에 채택을 검토할 수 있을 만한 우리 팀만의 **독창적인 '3차원 입체 고성능 소자 구조'를 자유롭게 제안하시오.** 단, 최근 학계 및 산업계에서 논의되거나 검토되고 있는 구체적인 공정 기법, 신재료 도입, 또는 설계적 개선 방향성 등 필요한 학습을 먼저 충분히 진행하고 정리하여 최대한 이론적 근거에 기반한 소자 구조를 제안하시오.
- Step3 : [Step 2]에서 도출하고 정리한 아이디어 제안을 바탕으로 아래 두 항목이 포함된 기술 제안을 완성하시오.
 - 3-1) **소자 개념 설계도**(Conceptual Layout / Schematic) 제시
 팀에서 새롭게 제안하는 새로운 3차원 입체 소자의 핵심 구조를 3D 입체도로 시각화하여 제시하고, 기존 구조 대비 개선된 전류의 흐름(Current Path)과 열의 흐름(Thermal Path)을 명확히 표현하고 설명하시오. 또한 합당한 기준을 찾아 기존의 구조 대비 얼마나 개선되었는지 최대한 정량적으로 비교 기술하시오.
 - 3-2) **공학적 논리에 기반한 PPA 개선 효과 및 양산 타당성 제시**
 제안하는 새로운 소자 구조를 제품에 적용했을 때 기존 소자 대비하여 성능(Performance: 저항 감소로 인한 구동 전류 증가) 측면과 소비전력(Power: 열 저항 감소로 인한 동작 안정성 및 전력 효율 증가) 측면에서 어떤 이득이 있는지 이론적 근거를 기반으로 한 소자공학적 인과관계를 설득력 있게 작성하고 제품 적용 가능성을 실제 공정 관점까지 최대한 검토한 후 팀의 의견을 정리 및 기술하시오.

4. 산출물 : 결과보고서(시뮬레이션 결과 포함)

- 각 step에 대해 명확한 구조 도식 또는 수식을 함께 제시하는 것을 권장합니다.
- 기술적 제안에는 반드시 소자 물리 혹은 공정 기술 관점 원리적 설명을 포함하십시오.
- 단순 요약이 아닌 창의적인 문제 해결 접근 방식이 평가에 반영됩니다.

12번 문제

1. 문제 분야 : 소자·공정

2. 문제명 : Inverter 게이트 동작 속도를 결정하는 구성 요소를 '순수 게이트 지연 시간(Intrinsic Gate Delay)'과 '배선 지연 시간(Interconnect Delay)', 두 가지 성분으로 분리하여 추출하기

3. 문제 내용

- 문제 관련 배경설명 : Ring Oscillator(이하 RO)는 반도체 공정의 성능과 특성을 평가하는 데 매우 중요한 도구로 활용되고 있는데, 인버터와 같은 논리 게이트들을 직렬로 연결하고 출력을 다시 입력으로 피드백 시키는 구조로 되어 있습니다. 회로가 동작할 때 지속적인 Oscillation 이 발생하는데, Oscillation Frequency (f_{osc})를 측정함으로써 반도체 공정의 다양한 특성을 파악할 수 있으므로, 특히 아래와 같은 공정 평가에 활용되고 있습니다.
 - (1) 게이트 지연 시간(Gate Delay Time) 측정: f_{osc} 는 개별 게이트의 지연 시간에 반비례하므로, 주파수가 높을수록 게이트의 스위칭 속도가 빠름을 의미합니다. 게이트 지연 시간은 CMOS 회로의 AC 특성을 평가하고, 칩의 최대 동작 속도를 예측하는 데 사용됩니다.
 - (2) 공정 변동성 모니터링: 웨이퍼 내 또는 웨이퍼 간 공정 조건의 변화는 개별 트랜지스터의 특성과 게이트 지연 시간에 영향을 줍니다. RO는 공정 변동성을 감지하고, 특정 웨이퍼 위치나 배치에서 성능 저하 발생 여부를 파악하여, 양산 수율 관리의 수단으로 활용합니다.
 - (3) PDK(Process Design Kit) 개발 및 검증: RO를 간단한 회로로 설계하고 실제 제작하여 특성을 분석함으로써, PDK의 정확성과 공정의 예측 가능성을 검증합니다. 시뮬레이션 결과와 실제 측정값을 비교하여 공정 파라미터를 보정하는 데 활용할 수 있습니다.
 - (4) Reliability Test: Hot-Carrier Injection(HCI)이나 Bias Temperature Instability(BTI)와 같은, 소자의 열화는 게이트 지연 시간을 변화시키는데, RO를 장시간 구동 시키면서 주파수 변화를 측정하여 소자의 수명과 신뢰성을 평가할 수 있습니다.
 - (5) 온도 및 전압 의존성 평가: 다양한 온도와 공급 전압 조건에서 RO의 주파수 변화를 측정하여, 실제 칩의 동작 환경에서 성능 변화를 예측하여 설계에 반영합니다.

- RO의 f_{osc} 는 '순수 게이트 지연 시간(Intrinsic Gate Delay)'과 '배선 지연 시간(Interconnect Delay)', 두 가지 요소 성분에 의하여 결정됩니다. 순수 게이트 지연 시간을 추출할 수 있으면, 성능 향상을 위한 차세대 트랜지스터를 개발하였을 때, 평가의 정확한 지표로 사용할 수 있습니다. 두 가지 요소 성분을 분리하기 위한, 기존의 방법으로는 ① 게이트의 Fan-out을 변화시키거나, ② 배선의 길이(또는 폭) 또는 모양을 변화시키거나, ③ RO의 Inverter Chain 내의 Stage 개수를 변화시키는 방법이 있습니다.
- [문제 배경]에서 언급된 방법 이외에, **새로운 분리 방법을 제안**하시오. 학부 2~4학년 과정에서 학습한 MOSFET 핵심과 전자회로 교과 과정을 통하여 배운 지식을 가지고, 문제에 접근하시면 됩니다. 제안 타당성을 검증하기 위해서는, 제안한 아이디어를 Wafer 상에 구현하고 직접 측정해야 하지만, 본 과제에서는 회로 시뮬레이션 결과로부터 타당성을 보여주면 됩니다. 제안하는 모든 Test Pattern 회로내의 RO는 Fan-out = 3 으로 고정하여 주십시오.

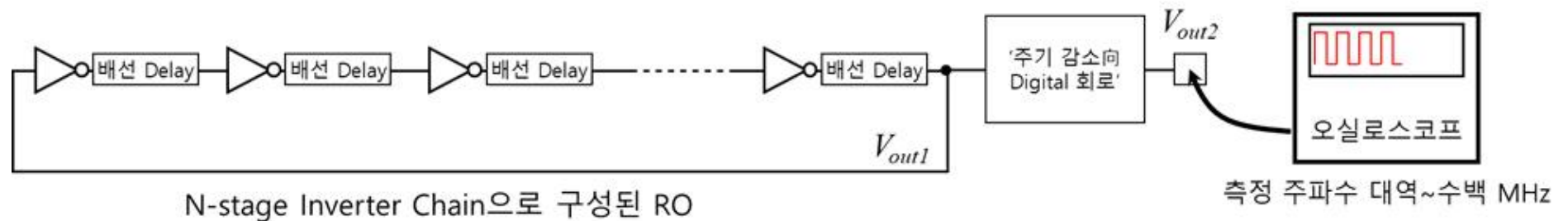


Fig-1. RO 와 '주기 감소형 Digital 회로' 로 구성된, Wafer上 TEST Pattern의 Output Pad(V_{out2})에 오실로스코프로써 Probing 하여 측정하고 있는 개념도

- Step1(Reference Test Pattern설계= Minimum Design Rule Interconnect/Layout) : Design Rule로 그려진 Inverter 게이트로 구성된 RO를 **포함**하고 '주기 감소형 Digital 회로'를 추가한 Fig.1과 같은 Test Pattern을 설계하시오. 회로 Schematic 과 SPICE 시뮬레이션 결과를 보여주시오. 오실로스코프의 측정 가능한 주파수는 **수백 MHz** 수준입니다.
 - (A) **V_{out1} 에서 구한 RO의 주기**는 얼마인가요? **Inverter 게이트 1단의 지연 시간(t_{PD})** 값은 얼마로 계산되나요?
 - (B) **V_{out2} 에서 구한 주기**는 얼마인가요?
- Step2 : 새로운 Test Pattern을 제안하시오. 제안한 회로 또는 회로들을 Schematic 수준에서 설계하고, SPICE 결과를 보여주시오.

- Step3 : **제안한 방법의 타당성**을 보여주세요. 방법 예시를 들면, 제안하는 새로운 회로 또는 회로들을 ① Layout 하고, Layout Extraction을 통해 Parasitic Element까지 포함된 회로에 대한 SPICE 시뮬레이션 결과를 도출하거나, ② 배선 Parasitic, MOSFET Parasitic을 인위적으로 추가하여 회로 Netlist를 구성하고, SPICE 시뮬레이션 결과 도출하여도 됩니다.
- (C) [Step-1]의 Reference Test Pattern의 Inverter 게이트 1단의 지연 시간(t_{PD}) 은 두 가지 요소 성분으로 구성됩니다. 제안하신 방법론으로 도출한, **순수 게이트 지연 시간(Intrinsic Gate Delay)**과 **배선 지연 시간(Interconnect Delay)**은 각각 얼마인가요?

4. 산출물 : 결과보고서(상기 (A), (B), (C) 값을 나타낼 것)

5. 문제 부연내용

- 참고자료
 - 'Semiconductor Physics and Devices' by Donald A. Neamen 4th ed. (McGraw-Hill, 2012)
 - 'Solid State Electronic Devices' by B. G. Streetman & S. Banerjee 7th ed. (Pearson, 2016)
 - 'Fundamentals of Modern VLSI Devices' by Y. Taur & T. H. Ning (Cambridge University Press, 1998)
 - '반도체 공학: 그림으로 보여주는 반도체의 핵심 원리' by 김동명 (한빛 미디어, 2011)

13번 문제

1. 문제 분야 : 소자·공정

2. 문제명 : DRAM Cell Capacitance증가 방안

3. 문제 내용

- 문제 관련 배경설명 : 10나노급 미만의 DRAM 소자에서 Stack-type Capacitor Height를 높일 수 있는 설비 및 공정 기술의 한계로 Height가 지속적으로 감소하고 있습니다. 또한 Double Stack 등의 Scheme 기술을 적용할 경우 Step 수 증가 및 제조 공정 Cost 증가 등으로 실제 제품 레벨로 전개에 어려움이 있습니다. 한편 유전막/전극 등의 MIM 물질 기술의 경우는 제한된 Pitch Size 내 Cell Capacitor를 형성해야 하고, Cell Capacitor Node 간 Bridge 불량을 막기 위해서는 Node 간 최소 간격 유지가 필요하여 유전막과 전극 등의 증착 막질의 두께를 5nm 이하로 낮춰야 하여 박막화에 따른 Capacitor 누설전류가 증가하고 있습니다. 이러한 상황에서 누설전류를 제어하면서 사용할 수 있는 High-k 물질의 한계로 충분한 Cell Capacitance 확보가 어려워지고 있습니다.
- Step1 : DRAM Capacitor MIM 기술을 종합적으로 Study 하고 내용을 서술하십시오.
- Step2 : Study한 내용을 기반으로 Capacitance를 높일 수 있는 소자/공정 기술의 개념과 방법에 대해 서술하십시오.
- Step3 : 단, 3D DRAM으로 Architecture를 바꾸는 것은 배제하고, 기존 방식의 2D Stack Capacitor 구조의 DRAM에 한정하여 소자(설계)/공정/소재/설비 기술을 총 동원하여 대안 기술을 제시하십시오.

4. 산출물 : 결과보고서(실험 결과 및 필요시 시뮬레이션 결과 포함 가능)

- 효과를 정량적인 값으로 표현하십시오(필요한 Scheme Design, 물질/소재 기술, 공정 기술 등을 나열하고 이를 통해 예측되는 Cell Capacitance 값 과 Capacitor의 누설전류 수준을 제시).
- 반도체 제조에 적용하기 위한 기술적 난제와 극복을 위한 구체적인 방법을 기술하십시오.
- 염려되는 부작용(제조 비용의 증가, 물질의 안정성 등)에 대해 한가지 이상 작성하고, 보완책을 제시하십시오.

5. 문제 부연내용

- Cell Capacitance를 증가하기 위한 기존 유전물질을 대체할 수 있는 대안 물질, 누설전류를 제어하기 위한 계면 제어 기술 및 전극 기술 등을 구현하기 위한 소재, 공정, 설비적인 개선 방안이 모두 가능합니다.
- 또한, 강유전체 등의 새로운 소자 기술을 통한 접근 방식으로도 해결 방안이 있으면 모색해 볼 수 있습니다. 이 경우 기존 DRAM을 대체하기 위해 필요한 제약 조건들을 어떻게 해결할 지까지 제시되어야 합니다.
- 참고자료
 - Toward Advanced High-k and Electrode Thin Films for DRAM Capacitors via Atomic Layer Deposition, SE Kim et al., Advanced Materials Technologies 8 (20), 2200878
 - Study of Metal–Dielectric Interface for Improving Electrical Properties and Reliability of DRAM Capacitor (Adv. Mater. Technol. 20/2023), HJ Lim et al., Advanced Materials Technologies 8 (20), 2370106
 - Designing Robust Interfaces of HZO Module ($>10^{12}$ at 85 °C) with High Sensing Margin (>300 mV) for ≤ 1.1 V 1T-1F with Common Plate Line and 1T-nF FeRAM, I Jeon et al., 2025 Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)
 - Strategies for Reducing Operating Voltage of Ferroelectric Hafnia by Decreasing Coercive Field and Film Thickness, DI Han et al., Advanced Physics Research 4 (6), 2400194